



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000039607 (43) Publication.Date. 20000705

(21) Application No.1019980054997 (22) Application Date. 19981215

(51) IPC Code:
H01L 27/108

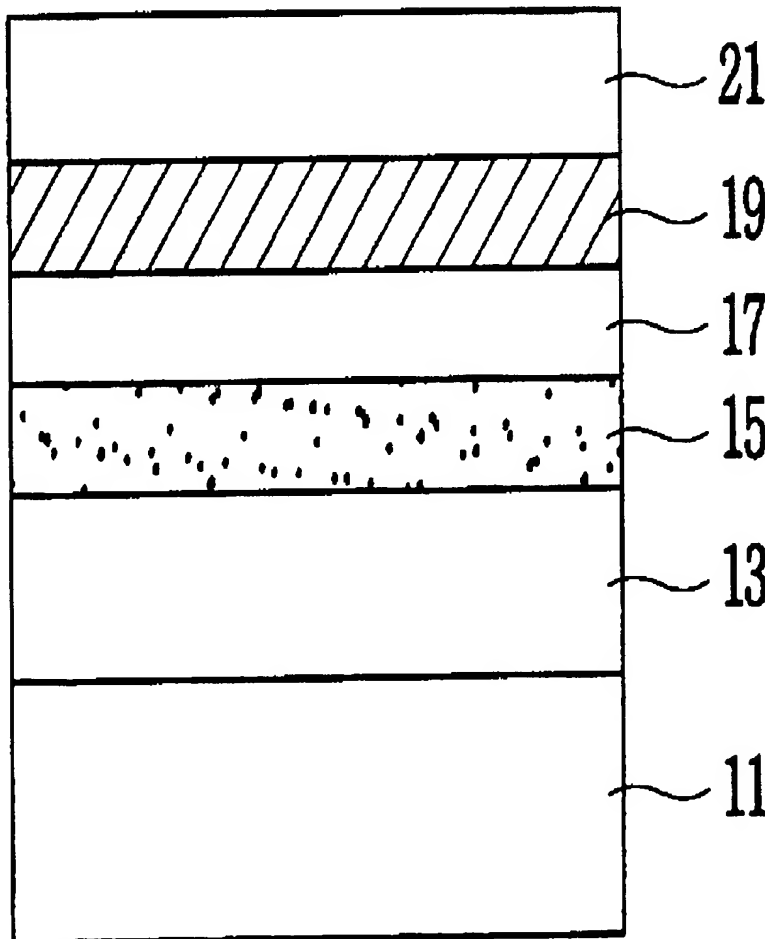
(71) Applicant:
HYUNDAI ELECTRONICS IND. CO., LTD.

(72) Inventor:
SONG, HAN SANG
LIM, CHAN

(30) Priority:

(54) Title of Invention
METHOD FOR FABRICATING CAPACITOR OF SEMICONDUCTOR DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A method for manufacturing a capacitor of a semiconductor device is provided to improve the reliance and the electrical feature of the semiconductor device by preventing the formation of SiO₂ film.

CONSTITUTION: An inter layer insulation film(13) having a storage electrode contact hole is formed on a semiconductor substrate(11). A multi crystalline silicon layer (15) is formed on the inter layer insulation film(13). The surface of the multi crystalline silicon layer(15) is cleaned by HF/H₂O solution. Then, the structure is cleaned by NH₄OH/H₂O₂/H₂O solution. An upper portion of the multi crystalline silicon layer(15) is rapidly nitrified. A dielectric film(1) is formed on the multi

AL

crystalline silicon layer(15). Then, the dielectric film(1) is heat-treated. A TIN film (21) is formed on the upper portion of the dielectric film(1).

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/108		(45) 공고일자 (11) 등록번호 (24) 등록일자	2001년 11월 30일 10-0308501 2001년 08월 29일
(21) 출원번호 (22) 출원일자	10-1998-0054997 1998년 12월 15일	(65) 공개번호 (43) 공개일자	특2000-0039607 2000년 07월 05일
(73) 특허권자	주식회사 하이닉스반도체		
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 송환상 경기도 용인시 수지구 죽전리 832번지 벽산아파트 108-904 임찬 경기도 이천시 대월면 사동리 현대산업개발5차아파트 502-1702		
(74) 대리인	이정훈, 이후등		

심사관 : 조지은

(54) 반도체소자의 캐패시터 형성방법

요약

본 발명은 반도체소자의 캐패시터 형성방법에 관한 것으로, Ta₂O₅ 막을 유전체막으로 사용하는 캐패시터에서 하부전극으로 사용되는 다결정실리콘층 표면을 HF용액으로 1차 세정한 후, NH₄OH/H₂O₂/H₂O 또는 H₂SO₄/H₂O₂/H₂O 혼합용액(피라나용액)에 담구어 2차 세정을 실시한 다음, 급속질화(rapid thermal nitridation, RTN)처리공정을 실시하여 상기 세정공정시 형성되는 산화막과 상기 급속질화처리공정시 형성되는 질화막을 서로 반응시켜 SiON막이 형성되도록 하여 Ta₂O₅ 막이 상기 다결정실리콘층과 반응하여 SiO₂막이 형성되는 것을 방지함으로써 누설전류 특성을 향상시키고 그에 따른 반도체소자의 특성 및 신뢰성을 향상시키는 기술이다.

대표도

도4

명세서

도면의 간단한 설명

도 1 내지 도 3 은 본 발명에 따른 반도체소자의 캐패시터 형성방법을 나타낸 단면도.

도 4 는 본 발명에 따른 반도체소자의 캐패시터 형성방법에서 세정방법에 따른 누설전류의 특성을 도시한 그래프도.

도 5 는 본 발명에 따른 반도체소자의 캐패시터 형성방법에서 256M DRAM의 실린더구조를 갖는 캐패시터의 세정방법에 따른 셀 캐패시턴스값과 누설전류의 누적분포율을 도시한 그래프도.

< 도면의 주요부분에 대한 부호 설명 >

- | | |
|---------------------------------------|---------------|
| 11 : 반도체기판 | 13 : 층간절연막 |
| 15 : 다결정실리콘층 | 17 : RTN처리된 막 |
| 19 : Ta ₂ O ₅ 막 | 21 : TiN막 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 캐패시터 형성방법에 관한 것으로서, 특히 캐패시터의 유전체막으로 Ta₂O₅ 막을 사용하는 경우 하부전극인 다결정실리콘층의 표면을 HF/H₂O 혼합용액 및 NH₄OH/H₂O₂/H₂O 혼합용액으로 순차적으로 세정하여 자연산화막을 소정 두께 형성한 다음, 급속열질화(rapid thermal nitridation, 이하 RTN이라 함)처리하고, Ta₂O₅막을 형성함으로써 상기 RTN처리공정시 형성되는 질화막과 상기 자연산화막이 반응하여 SiON막을 형성되도록 하여 상기 Ta₂O₅막과 다결정실리콘층의 계면에서 누설전류의 발생을 적게 하여 캐패시터의 전기적 특성을 개선시키고 그에 따른 반도체소자의 특성 및 신뢰성을 향상시킬 수 있는

방법에 관한 것이다.

최근 반도체소자의 고집적화 추세에 따라 셀 크기가 감소되어 충분한 정전용량을 갖는 캐패시터를 형성하기가 어려워지고 있다.

특히, 하나의 모스 트랜지스터와 캐패시터로 구성되는 디램 소자에서는 캐패시터의 정전용량을 증가시키기 위하여 유전상수가 높은 물질을 유전체막으로 사용하거나, 유전체막의 두께를 얇게하거나 또는 전하 저장전극의 표면적을 증가시키는 등의 방법이 있다.

도시되어 있지는 않지만, 종래기술에 따른 반도체소자의 캐패시터 제조방법을 살펴보면 다음과 같다.

먼저, 반도체기판 상에 소자분리 산화막과 게이트산화막을 형성하고, 게이트전극과 소오스/드레인전극으로 구성되는 모스 전계효과 트랜지스터 및 비트라인을 형성한 후, 상기 구조의 전표면에 층간절연막을 형성한다.

그 다음 상기 소오스/드레인전극 중 전하저장전극 콘택으로 예정되어 있는 부분 상측의 층간절연막을 제거하여 전하저장전극 콘택홀을 형성하고, 상기 콘택홀을 통하여 소오스/드레인전극과 접촉되는 전하저장전극을 다결정실리콘층 패턴으로 형성한 후, 상기 전하저장전극의 표면에 산화막-질화막-산화막 구조의 유전체막을 형성하고, 상기 유전체막상에 플레이트전극을 형성하여 캐패시터를 완성한다.

상기와 같은 종래기술에 따른 반도체소자의 캐패시터에서 유전체막은 고유전율, 저누설전류밀도, 높은 절연파괴전압 및 상하측 전극과의 안정적인 계면특성 등이 요구되는데, 상기 산화막은 유전상수가 약 3.8 정도이고 질화막은 약 7.2 정도로 비교적 작고, 전극으로 사용되는 다결정실리콘층은 비저항이 800 ~ 1000 $\mu\Omega\text{cm}$ 정도로 비교적 높아 정전용량이 제한된다.

상기와 같은 문제점을 해결하기 위하여 산화막-질화막-산화막의 적층구조로된 유전체막 대신에 Ta_2O_5 막과 같은 고유전체막을 사용한다.

상기 Ta_2O_5 막은 256M DRAM 이상의 고집적 메모리 소자의 캐패시터의 유전체막으로 사용이 널리 고려되고 있다.

그러나, 하부전극인 다결정실리콘층이 후속 열공정시 유전체막인 Ta_2O_5 막과 반응하여 SiO_2 가 형성되는 것을 방지하기 위하여 상기 다결정실리콘층 표면을 800 ~ 900°C의 온도에서 NH_3 가스를 이용하여 급속질화(rapid thermal nitridation, RTN)처리하여 상기 다결정실리콘층 표면을 질화화시킨다. 한편, 상기 급속질화처리공정을 실시하기 전에 캐패시터의 전기적 특성을 향상시키기 위해 $\text{HF}/\text{H}_2\text{O}$ 혼합용액을 사용하여 세정공정을 실시하지만 누설전류를 감소시키는데 한계가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 하부전극인 다결정실리콘층 표면을 $\text{HF}/\text{H}_2\text{O}$ 혼합용액 및 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 혼합용액을 사용하여 순차적으로 세정한 다음, 급속질화처리공정을 실시하여 상기 다결정실리콘층과 유전체막인 Ta_2O_5 막이 서로 반응하는 것을 방지하는 베리어막을 형성하여 누설전류 특성을 향상시키는 반도체소자의 캐패시터 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위하여 본 발명에 따른 반도체소자의 캐패시터 형성방법은,

소정의 하부구조물이 형성되어 있는 반도체기판 상부에 저장전극 콘택홀이 구비된 층간절연막을 형성하는 공정과,

상기 층간절연막 상부에 하부전극인 다결정실리콘층을 형성하는 공정과,

상기 다결정실리콘층 표면을 $\text{HF}/\text{H}_2\text{O}$ 혼합용액으로 세정하는 제1세정공정과,

상기 구조를 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 혼합용액에 담구어 세정하는 제2세정공정과,

상기 다결정실리콘층 상부를 급속질화처리하는 공정과,

상기 급속질화처리된 다결정실리콘층 상부에 유전막인 Ta_2O_5 막을 형성하는 공정과,

상기 Ta_2O_5 막을 플라즈마처리 및 고온 열처리하는 공정과,

상기 Ta_2O_5 막 상부에 상부전극인 TiN 막을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 상세히 설명하기로 한다.

도 1 내지 도 3 은 본 발명에 따른 반도체소자의 캐패시터 형성방법을 도시한 단면도이다.

먼저, 반도체기판(11)에 소자분리 절연막(도시안됨), 게이트산화막(도시안됨), 게이트전극(도시안됨) 및 비트라인(도시안됨) 등의 하부구조물을 형성한다.

다음, 전체표면에 층간절연막(13)을 형성한다.

그 다음, 저장전극 콘택마스크를 식각마스크로 이용하여 상기 층간절연막(13)을 식각하여 저장전극 콘택홀(도시안됨)을 형성한다.

다음, 상기 층간절연막(13) 상부에 상기 저장전극 콘택홀이 매립되도록 다결정실리콘층(15)을 형성한

다.

그 다음, 상기 다결정실리콘층(15) 표면을 세정한다.

상기 세정공정은 다음과 같은 조건으로 실시한다.

먼저, 상기 다결정실리콘층(15) 표면을 HF용액을 사용하여 세정한다.

상기 HF용액은 HF/H₂O 이 1 : 50의 비율로 혼합되어 있고, 이를 사용하여 20 ~ 40초간 세정공정을 실시한다.

다음, NH₄OH용액을 사용하여 세정공정을 실시한다. 이때, 상기 NH₄OH용액은 NH₄OH/H₂O₂/H₂O이 1 : 1 : 5의 비율로 혼합되어 있고, 상기 세정공정은 15 ~ 30℃의 NH₄OH/H₂O₂/H₂O 혼합용액에 10 ~ 20분간 담구어 실시한다.

또한, 상기 NH₄OH 대신 H₂SO₄를 포함하는 피라나(piranha)용액을 사용하여 세정공정을 실시하여도, 상기 다결정실리콘층(15) 상부에 자연산화막이 소정 두께 형성되므로 세정효과는 변함없다.

그 다음, 상기 다결정실리콘층(15)의 표면을 급속질화처리하여 RTN처리된 막(17)을 형성한다. 상기 급속질화처리공정은 750 ~ 900℃ 온도에서 NH₃ 가스를 사용하여 실시한다.

그 다음, 상기 RTN처리된 막(17)의 상부에 Ta₂O₅ 막(19)을 저압화학기상증착(low pressure chemical vapor deposition, 이하 LPCVD 라 함)방법으로 형성한다. 상기 Ta₂O₅ 막(19)은 350 ~ 450℃의 온도와, 0.1 ~ 2 torr의 압력으로 유지된 챔버내에서 20 ~ 50sccm의 O₂ 가스와 350 ~ 450sccm의 N₂가스 분위기에서 0.005 ~ 2cc의 Ta(C₂H₅O)₅를 원료로 사용하여 증착한다.

다음, 상기 Ta₂O₅막(19)은 N₂O 플라즈마를 사용하여 300 ~ 500℃에서 플라즈마 처리한다.

그 다음, N₂O 분위기에서 퍼니스 어닐공정을 750 ~ 900 ℃ 로 실시한다.

다음, 상기 Ta₂O₅ 막(19) 상부에 상부전극인 TiN막(21)을 화학기상증착(chemical vapor deposition, 이하 CVD라 함)방법으로 200 ~ 500Å 두께로 형성하되, 300 ~ 500℃의 온도와 0.1 ~ 2torr의 압력을 갖는 챔버내에서 TiCl₄과 10 ~ 1000sccm의 NH₄를 사용하여 형성한다.

상기와 같은 방법으로 형성된 캐패시터는 도 4 에 도시된 바와 같은 누설전류 특성을 갖는다.

도 4 는 HF, 피라나용액/HF 또는 HF/NH₄OH용액에 의한 세정공정에 따른 캐패시터의 전류-전압 특성을 나타낸 그래프도이다. 각각의 세정방법에 따라 유효산화막의 두께가 다르기 때문에 전압의 값은 전기장으로 환산하여 도시되었다.

도 4 에 도시된 바와 같이 HF 및 피라나용액/HF 를 사용하여 세정한 경우 누설전류의 양이 거의 유사함을 알 수 있고, HF/NH₄OH용액을 사용하여 세정한 경우 0 ~ 12MV/cm에서 누설전류 특성이 우수한 것을 알 수 있다.

또한, 도 5 는 본 발명에 따른 반도체소자의 캐패시터 형성방법에서 256M DRAM의 실린더구조를 갖는 캐패시터의 세정방법에 따른 셀 캐패시턴스값과 누설전류의 누적분포율을 도시한 그래프도로서, HF를 사용하여 세정공정을 실시한 경우 셀 캐패시턴스(Cs)는 평균값이 23.2(fF/셀)로 HF/NH₄OH용액을 사용하여 세정한 경우의 값과 유사하지만, 누설전류 특성은 HF/NH₄OH용액으로 세정한 경우가 더 개선된 값을 나타낸다.

상기와 같은 반도체소자의 캐패시터 형성방법은 반구형실리콘(hemispherical silicon)을 사용하는 실린더형 구조의 캐패시터 형성방법에 적용할 수 있다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 캐패시터 형성방법은, Ta₂O₅ 막을 유전체막으로 사용하는 캐패시터에서 하부전극으로 사용되는 다결정실리콘층 표면을 HF용액으로 1차 세정한 후, NH₄OH/H₂O₂/H₂O 또는 H₂SO₄/H₂O₂/H₂O혼합용액에 담구어 2차 세정을 실시한 다음, RTN 처리공정을 실시하여 상기 세정공정시 형성되는 산화막과 상기 급속질화처리공정시 형성되는 질화막을 서로 반응시켜 SiON막이 형성되도록 하여 Ta₂O₅ 막이 상기 다결정실리콘층과 반응하여 SiO₂막이 형성되는 것을 방지함으로써 누설전류 특성을 향상시키고 그에 따른 반도체소자의 특성 및 신뢰성을 향상시키는 이점이 있다.

(57) 청구의 범위

청구항 1

소정의 하부구조물이 형성되어 있는 반도체기판 상부에 저장전극 콘택홀이 구비된 층간절연막을 형성하는 공정과,

상기 층간절연막 상부에 하부전극인 다결정실리콘층을 형성하는 공정과,

상기 다결정실리콘층 표면을 HF/H₂O 혼합용액으로 세정하는 제1세정공정과,

상기 구조를 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 혼합용액에 담구어 세정하는 제2세정공정과,

상기 다결정실리콘층 상부를 급속질화처리하는 공정과,

상기 급속질화처리된 다결정실리콘층 상부에 유전막인 Ta_2O_5 막을 형성하는 공정과,

상기 Ta_2O_5 막을 플라즈마처리 및 고온 열처리하는 공정과,

상기 Ta_2O_5 막 상부에 상부전극인 TiN 막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 2

제 1 항에 있어서,

상기 $\text{HF}/\text{H}_2\text{O}$ 은 1 : 50의 비율로 혼합된 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 3

제 1 항에 있어서,

상기 제1세정공정은 20 ~ 40 초간 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 4

제 1 항에 있어서,

상기 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 혼합용액은 1 : 1 : 5의 비율로 혼합된 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 5

제 1항에 있어서,

상기 제2세정공정은 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 혼합용액을 사용하여 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 6

제 1 항에 있어서,

상기 제2세정공정은 15 ~ 30℃온도의 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 혼합용액을 사용하여 10 ~ 20분간 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 7

제 1항에 있어서,

상기 급속질화처리공정은 800 ~ 900℃ 온도에서 NH_3 가스를 사용하여 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 8

제 1항에 있어서,

상기 Ta_2O_5 막은 LPCVD 방법으로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 9

제 1항에 있어서,

상기 Ta_2O_5 막은 350 ~ 450℃ 및 0.1 ~ 0.6 torr 하의 챔버내에서 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 10

제 1항에 있어서,

상기 Ta_2O_5 막은 20 ~ 50sccm의 O_2 가스와 35 ~ 450sccm의 N_2 가스 분위기에서 0.005 ~ 2cc의 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 또는 $\text{Ta}(\text{OCH}_3)_5$ 으로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 11

제 1항에 있어서,

상기 플라즈마처리 공정은 300 ~ 500℃에서 N_2O 플라즈마를 사용하여 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 12

제 1항에 있어서,

상기 열처리공정은 N_2O 플라즈마를 사용하여 750 ~ 900 °C 로 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

청구항 13

제 1항에 있어서,

상기 TiN막은 300 ~ 500°C 및 0.1 ~ 2 torr하의 챔버내에서 10 ~ 1000sccm의 NH_3 가스와 $TiCl_4$ 가스를 사용하여 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

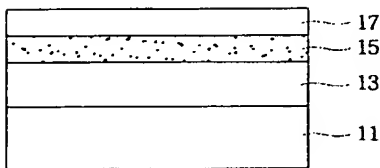
청구항 14

제 1항에 있어서,

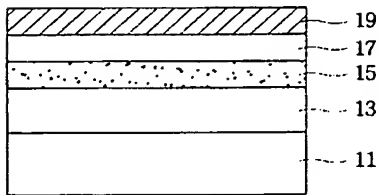
상기 TiN막은 CVD방법을 사용하여 200 ~ 500 Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

도면

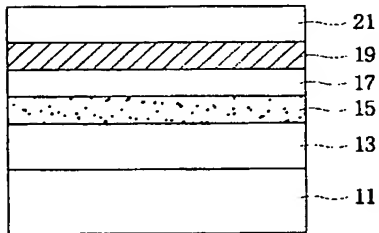
도면1



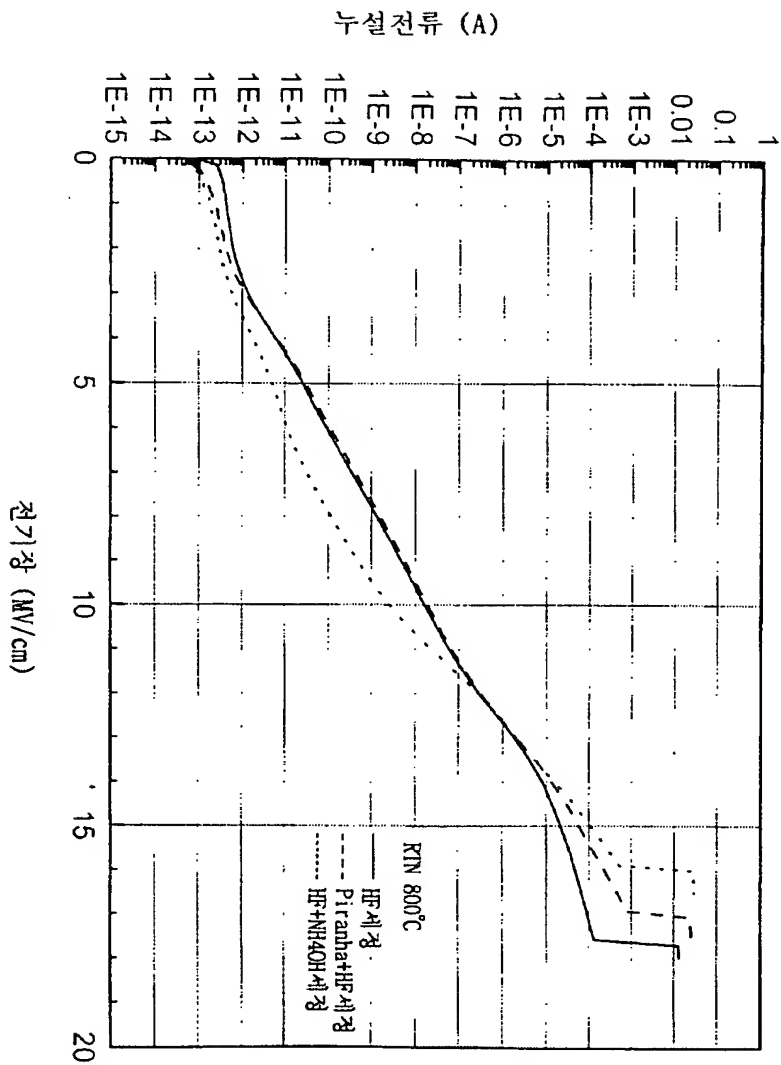
도면2



도면3



도면4



도면5

